



2812

0435
2800

0760 11-05-01
2800

PATENT
Docket No. 492322002200

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on
November 13, 2001

N. Slaveter
N. Slaveter

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Nobuyuki SEKIKAWA et al.

Serial No.: 09/981,889

Filing Date: October 19, 2001

For: SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD
THEREFOR

Examiner: to be assigned

Group Art Unit: to be assigned

#2
P. Br
12-17-01
TO 2200 MAIL ROOM

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of
Japanese Patent Application No. 2000-321250, filed October 20, 2000.

The certified priority document is attached to perfect Applicants' claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be
acknowledged in this application.

In the event that the transmittal letter is separated from these documents and the Patent
and Trademark Office determines that an extension and/or other relief is required, Applicants
petition for any required relief including extensions of time and authorizes the Commissioner to

dc-287012

charge the cost of such petitions and/or other fees due in connection with the filing of these documents to **Deposit Account No. 03-1952**, referencing 492322002200.

Dated: November 13, 2001

Respectfully submitted,

By: 

Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 263-8396



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月20日

出 願 番 号

Application Number:

特願2000-321250

出 願 人

Applicant(s):

三洋電機株式会社

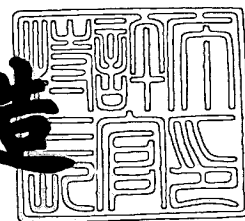
TO 2000-10-20 10:00M

RECEIVED

2001年 9月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3085258

【書類名】 特許願

【整理番号】 KIA1000073

【提出日】 平成12年10月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 関川 信之

【発明者】

 【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株式
 会社内

 【氏名】 平田 光一

【発明者】

 【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株式
 会社内

 【氏名】 木綿 正明

【発明者】

 【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株式
 会社内

 【氏名】 榎本 伸也

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

【連絡先】 03-3837-7751 法務・知的財産部 東京事
務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上の表面に形成され、一端に第 1 の電圧が印加されると共に他端に第 2 の電圧が印加される第 2 導電型の抵抗層と、該第 2 導電型の抵抗層上に形成された絶縁膜と、該絶縁膜上に形成されたシリコン層から成る抵抗バイアス電極層と、を備え、前記抵抗バイアス電極層に印加する電圧を調整することにより前記第 2 導電型の抵抗層の抵抗値の電圧依存性を低減することを特徴とする半導体装置。

【請求項 2】 前記シリコン層に印加される電圧は、前記抵抗層の長手方向の途中から取り出すことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 第 1 導電型の半導体基板上に絶縁膜、第 1 のシリコン層を形成する工程と、該第 1 のシリコン層上に選択的に耐酸化性膜を形成する工程と、熱酸化によりフィールド酸化膜を形成する工程と、前記耐酸化性膜を除去する工程と、前記第 1 のシリコン層及び絶縁膜を貫通して第 2 の導電型不純物をイオン注入することにより、前記半導体基板の表面に第 2 導電型の抵抗層を形成する工程と、全面に第 2 のシリコン層を形成する工程と、前記第 1 及び第 2 のシリコン層をパターニングして前記抵抗層上に抵抗バイアス電極層を形成する工程と、前記抵抗バイアス電極層に所定電圧を供給するための配線層を形成する工程と、を有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記配線層は前記抵抗層の長手方向の途中にコンタクトすることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体基板上に抵抗素子を集積化した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来より、抵抗素子は遅延用抵抗、発振回路用の抵抗、A/Dコンバータのラダー抵抗等、半導体集積回路において種々の回路に用いられている。図11は、従来の半導体装置の構造を示す断面図である。

【0003】

N型半導体基板50上にフィールド酸化膜51、51が形成されており、このフィールド酸化膜51、51の間のN型半導体基板50の表面にP型の抵抗層52が形成されている。また、P型の抵抗層52の両端にはP+型の電極取り出し層53、54が形成されている。

【0004】

図12は、図11に示した半導体装置の使用状態を示す断面図である。図において、電極取り出し層53に電圧 V_L を印加すると共に他方の電極取り出し層54に電圧 V_H を印加する。ここで、N型半導体基板50の電圧を0Vとすると、 $V_H < V_L < 0V$ であるとする。すなわち、P+型の電極取り出し層53、54とN型半導体基板50が順方向バイアスされないようにしている。また、絶対値で電圧 V_H は電圧 V_L より大である。これにより、電位差($V_H - V_L$)に応じてP型の抵抗層52に電流が流れる。

【0005】

【発明が解決しようとする課題】

ところで抵抗層52を抵抗素子として半導体集積回路に用いる場合、回路設計上、その抵抗値は電圧依存性のないことが望まれる。

【0006】

しかしながら、P+型の電極取り出し層54に印加される電圧 V_H により、N型半導体基板50とP型の抵抗層52の間に空乏層55が広がることにより、P型の抵抗層52が狭くなり、P+型の電極取り出し層54に印加される電圧 V_H に依存して抵抗値が変化してしまう。また、電圧 V_H がさらに高くなると、P+型の電極取り出し層54の近くでピンチオフ状態が生じるので、電流が飽和してしまう。

【0007】

本発明は、上述した従来技術の課題に鑑みて為されたものであり、抵抗層の電

圧依存性を極力低減し、半導体集積回路の回路設計を容易にすることを目的としている。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の半導体装置は、第 1 導電型の半導体基板上の表面に形成され、一端に第 1 の電圧が印加されると共に他端に第 2 の電圧が印加される第 2 導電型の抵抗層と、該第 2 導電型の抵抗層上に形成された絶縁膜と、該絶縁膜上に形成されたシリコン層から成る抵抗バイアス電極層と、を備え、前記抵抗バイアス電極層に印加する電圧を調整することにより前記第 2 導電型の抵抗層の抵抗値の電圧依存性を低減することを特徴とする。

【 0 0 0 9 】

本発明によれば、抵抗層上に絶縁膜と抵抗バイアス電極を備えているので、半導体基板と抵抗層との間に拡がる空乏層の拡がりが抑制され、抵抗層の抵抗値の電圧依存性を低減することができる。

【 0 0 1 0 】

また、本発明の半導体装置の製造方法は、第 1 導電型の半導体基板上に絶縁膜、第 1 のシリコン層を形成する工程と、該第 1 のシリコン層上に選択的に耐酸化性膜を形成する工程と、熱酸化によりフィールド酸化膜を形成する工程と、前記耐酸化性膜を除去する工程と、前記第 1 のシリコン層及び絶縁膜を貫通して第 2 の導電型不純物をイオン注入することにより、前記半導体基板の表面に第 2 導電型の抵抗層を形成する工程と、全面に第 2 のシリコン層を形成する工程と、前記第 1 及び第 2 のシリコン層をパターニングして前記抵抗層上に抵抗バイアス電極層を形成する工程と、前記抵抗バイアス電極層に所定電圧を供給するための配線層を形成する工程と、を有することを特徴とする。

【 0 0 1 1 】

本発明の半導体装置の製造方法によれば、フィールド酸化膜を形成する際に用いた第 1 のシリコン層をそのまま残存させ、抵抗バイアス電極層の一部（下層部）として利用しているので製造工程を短縮することができる。

【 0 0 1 2 】

また、この第1のシリコン層及び絶縁膜を貫通して第2の導電型不純物をイオン注入することにより第2導電型の抵抗層を形成し、その後第1のシリコン層上に第2のシリコン層を積層しているので、第1のシリコン層がイオン注入のバッファ膜として機能すると共に、抵抗バイアス電極層として単層のシリコン層を用いる場合に比べてイオン注入の加速エネルギーを低減することができる。

【 0 0 1 3 】

【発明の実施の形態】

次に、本発明の実施形態に係る半導体装置及びその製造方法について、図1乃至図6を参照しながら説明する。なお、図1乃至図6において、図面の右側に拡散抵抗の形成領域、左側にPチャネル型MOSトランジスタの形成領域を示している。

【 0 0 1 4 】

図1に示すように、P型シリコン基板1上にN型ウェル領域2を形成する。そして、P型シリコン基板1上に10nm～20nm程度の薄い酸化膜3を熱酸化により形成する。この薄い酸化膜3上に50nm～100nmの第1のポリシリコン層4、50nm～100nmのシリコン窒化膜5（Si₃N₄膜）をLPCVD法により形成し、シリコン窒化膜5を選択的にエッチングする。ここで、第1のポリシリコン層4の代わりにアモルファスシリコン層も形成してもよい。

【 0 0 1 5 】

これにより、Pチャネル型MOSトランジスタの形成領域とポリシリコン抵抗素子の形成領域の各所定領域に、第1のポリシリコン層4及びシリコン窒化膜5の積層膜を残す。なお、ここで、第1のポリシリコン層4、シリコン窒化膜5を選択的にエッチングするようにしてもよい。

【 0 0 1 6 】

次に、1000℃程度の熱酸化を行うと、図2に示すように、シリコン窒化膜5がエッチングにより除去された領域にフィールド酸化膜6が形成される。フィールド酸化膜6の膜厚は例えば500nm程度である。ここで、シリコン窒化膜5は耐酸化膜として働く。また、薄い酸化膜3はパッド酸化膜と呼ばれるもので、フィールド酸化膜6のいわゆるバースピーク下のP型

シリコン基板 1 に結晶欠陥が発生するのを防止する。

【0017】

また、第 1 のポリシリコン層 4 は、パッドポリシリコン層（パッドシリコン層）と呼ばれるもので、バースピークを短く抑制する働きをする。通常、薄い酸化膜 4、第 1 のポリシリコン層 4 はフィールド酸化後に除去するが、本プロセスではこれらをそのまま残存させ、以下に説明するように抵抗素子の構成要素として利用する。

【0018】

次に、図 3 に示すように、シリコン窒化膜 5 を除去した後に、P チャネル型 MOS トランジスタの形成領域上にフォトレジスト層 7 を形成する。そして、このフォトレジスト層 7 をマスクとして、第 1 のポリシリコン層 4 及び薄い酸化膜 3 を貫通する条件で P 型不純物のイオン注入を行い、N 型ウェル領域 2 の表面に P 型抵抗層 8 を形成する。ここで、上記イオン注入工程の好ましい条件は、ボロンをイオン種として、加速エネルギーは 60 KeV、ドーズ量は $8.5 \times 10^{12} / \text{cm}^2$ である。

【0019】

上記のイオン注入工程において、第 1 のポリシリコン層 4 及び薄い酸化膜 3 はイオン注入に対するバッファ膜として作用し、半導体基板表面に結晶欠陥が発生するのを防止している。また、第 1 のポリシリコン層 4 は比較的薄いため、イオン注入の加速エネルギーを下げることができる。

【0020】

次に、図 4 に示すように、P チャネル型 MOS トランジスタの形成領域上のフォトレジスト層 7 を除去した後に、50 nm ～ 100 nm の第 2 のポリシリコン層 9 を LPCVD 法により全面に堆積する。また、第 2 のポリシリコン層 9 にはリン等の不純物が熱拡散によりドーピングされ低抵抗化される。このとき、第 2 のポリシリコン層 9 の下層の第 1 のポリシリコン層 4 にまで不純物が拡散されるようにすると第 1 のポリシリコン層 4 も同様に低抵抗化される。

【0021】

これにより、P チャネル型 MOS トランジスタの形成領域及び拡散抵抗の形成

領域において、第1のポリシリコン層4上に第2のポリシリコン層9が積層される。

【0022】

この後、図5に示すように、第2のポリシリコン層9上の所定領域にホトレジスト層（不図示）を形成し、このホトレジスト層をマスクとして、第2のポリシリコン層8、第1のポリシリコン層4を順次、選択的にエッチングする。

【0023】

これにより、拡散抵抗の形成領域において、第1のポリシリコン層4及び第2のポリシリコン層8が積層された抵抗バイアス電極10が形成される。一方、Pチャネル型MOSトランジスタの形成領域においては、第1のポリシリコン層4及び第2のポリシリコン層8が積層されたゲート電極9が形成される。なお、フィールド酸化膜6上には、第2のポリシリコン層9（単層）から成るポリシリコン配線層（不図示）が形成される。

【0024】

さらに、ボロンなどのイオン注入を行うことにより、P+型の電極取り出し層12、13、Pチャネル型MOSトランジスタのP+型ソース層14、P+型ドレイン層15を形成する。

【0025】

次に、図6に示すように、全面にBPSG膜などの層間絶縁膜16を形成し、P+型の電極取り出し層12、13上及び、P+型ソース層14、P+型ドレイン層15上にコンタクトホールを形成し、これらのコンタクトホールを通して、A1層から成る抵抗取出し電極17、18、及びソース電極19、ドレイン電極20を形成する。これにより、拡散抵抗を備えた半導体装置が完成する。なお、Nチャネル型MOSトランジスタについては省略しているが、同一のシリコン基板1上に形成し、CMOS構成とすることができる。

【0026】

図7は図6に示した拡散抵抗のパターン平面図である。P-型抵抗層8はP+型の電極取り出し層12、13の間にストライプ状に延在している。P+型の電極取り出し層12、13上に設けられたC1、C2はコンタクトホールである。

P-型抵抗層 8 の長さは、所望の抵抗値に応じて決定される。また、P-型抵抗層 8 上を薄い絶縁膜 3 を介して抵抗バイアス電極 10 が覆っている。この抵抗バイアス電極 10 にはコンタクトホール C3 を介して A1 配線層 21 が接続されている。A1 配線層 21 には所定のバイアス電圧 V_G が電圧源から印加される。このバイアス電圧 V_G を調整することにより、P-型抵抗層 8 と N 型ウェル領域 2 との間の空乏層の拡がりを抑制することができる。

【0027】

図 8 は、拡散抵抗の他のパターン平面図である。ここで、P-型抵抗層 8 の長さ方向の途中にコンタクトホール C4 が配置され、一方、抵抗バイアス電極 10 上にコンタクトホール C5 が配置されている。そして、これらのコンタクトホール C4、C5 を介して、A1 配線層 22 によって P-型抵抗層 8 と抵抗バイアス電極 10 とが接続されている。この場合、P-型抵抗層 8 に生じる電圧取り出され、抵抗バイアス電極 10 に与えられるので、特別に電圧源を用いる必要がないという利点がある。

【0028】

次に、本発明者が試作した半導体装置の測定結果について図 9 を参照しながら説明する。図 9、図 10 は、拡散抵抗の電流電圧特性及び抵抗特性（横軸に拡散抵抗の両端の差電圧、縦軸に電流 I 、抵抗 R_S ）を示す図である。ここで、P+型の電極取り出し層 13 に印加される電圧を V_H 、P+型の電極取り出し層 12 に印加される電圧を V_L 、抵抗バイアス電極 10 に印加される電圧を V_G とする。

【0029】

そして、 $R = V_G / (V_H - V_L)$ と定義する。 R は P+型の電極取り出し層 13 に印加される電圧を V_H に対する抵抗バイアス電極 10 に印加される電圧を V_G の比を示している。この定義に従い、図 9 (A) は $R = 0$ 、図 9 (B) は $R = 0.2$ 、図 9 (C) は $R = 0.4$ 、図 10 (D) は $R = 0.5$ 、図 10 (E) は $R = 0.6$ 、図 10 (F) は $R = 0.8$ の場合の上記特性を示している。

【0030】

この実験結果から明らかとなったように、 $R = 0.6$ の場合に抵抗値の電圧依

存性が最も小さくなる。 $R = 0.5$ の場合も問題にならない程度に電圧依存性は小さい。 $R = 0.4$ 以下の場合では、電圧 V_H が高くなると共に抵抗値 R_S は大きくなってしまふ。これは、空乏層が広がったためと考えられる。逆に、 $R = 0.8$ の場合には、電圧 V_H が高くなると共に抵抗値 R_S は小さくなってしまふ。これは、キャリアの蓄積状態が生じているためと考えられる。

【 0 0 3 1 】

【発明の効果】

以上説明したように、本発明の半導体装置によれば、抵抗層上に絶縁膜と抵抗バイアス電極を備えているので、半導体基板と抵抗層との間に広がる空乏層の拡がりが抑制され、抵抗層の抵抗値の電圧依存性を低減することができる。

【 0 0 3 2 】

また、抵抗バイアス電極層に印加される電圧は、抵抗層の長手方向の途中から取り出しているため、特別の電圧源を設ける必要がないという利点もある。

【 0 0 3 3 】

さらに、本発明の半導体装置の製造方法によれば、フィールド酸化膜を形成する際に用いた第1のシリコン層をそのまま残存させ、抵抗バイアス電極層の一部（下層部）として利用しているため製造工程を短縮することができる。

【 0 0 3 4 】

さらにまた、この第1のシリコン層及び絶縁膜を貫通して第2の導電型不純物をイオン注入することにより第2導電型の抵抗層を形成し、その後第1のシリコン層上に第2のシリコン層を積層しているため、第1のシリコン層がイオン注入のバッファ膜として機能すると共に、抵抗バイアス電極層として単層のシリコン層を用いる場合に比べてイオン注入の加速エネルギーを低減することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 2】

本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3】

本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である

【図 4】

本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である

【図 5】

本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である

【図 6】

本発明の実施形態に係る半導体装置及びその製造方法を説明するための断面図である。

【図 7】

図 6 に示した拡散抵抗のパターン平面図である。

【図 8】

図 6 に示した拡散抵抗の他のパターン平面図である。

【図 9】

拡散抵抗の電流電圧特性及び抵抗特性（横軸に拡散抵抗の両端の差電圧、縦軸に電流 I 、抵抗 R_S ）を示す図である。

【図 10】

拡散抵抗の電流電圧特性及び抵抗特性（横軸に拡散抵抗の両端の差電圧、縦軸に電流 I 、抵抗 R_S ）を示す図である。

【図 11】

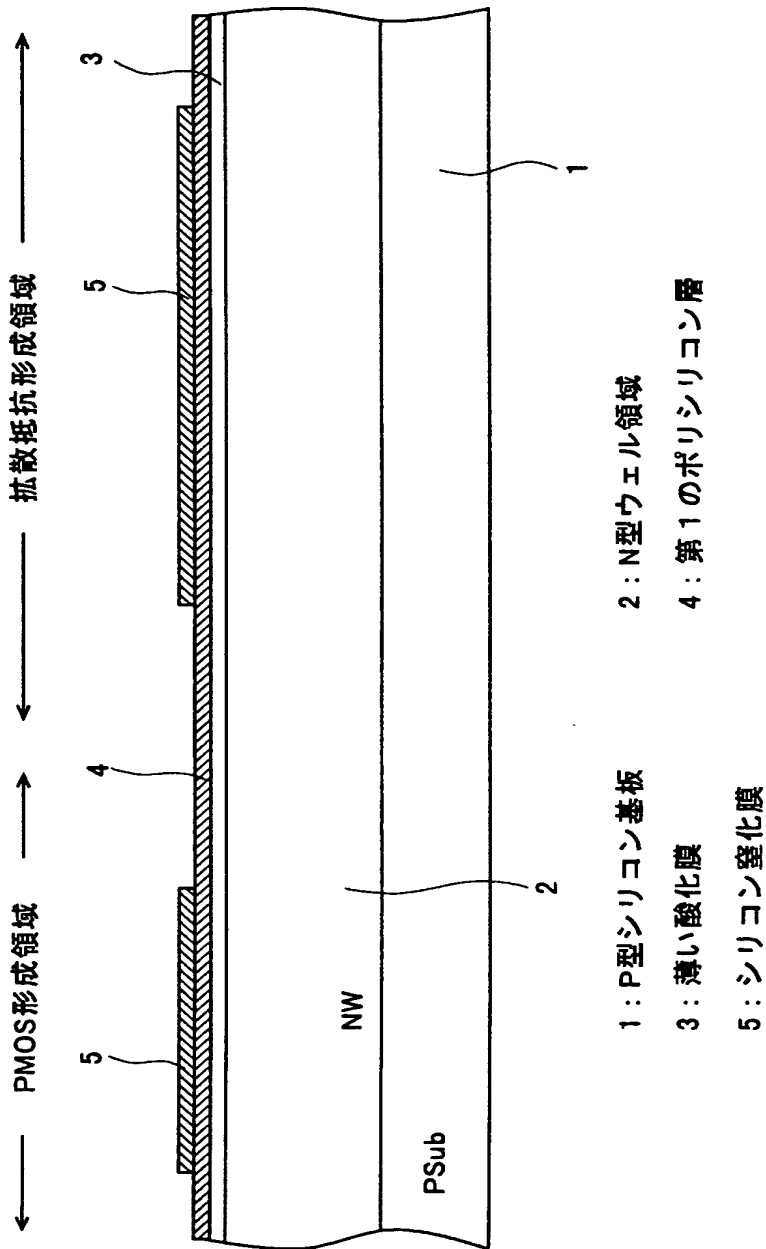
従来例に係る半導体装置の構造を示す断面図である。

【図 12】

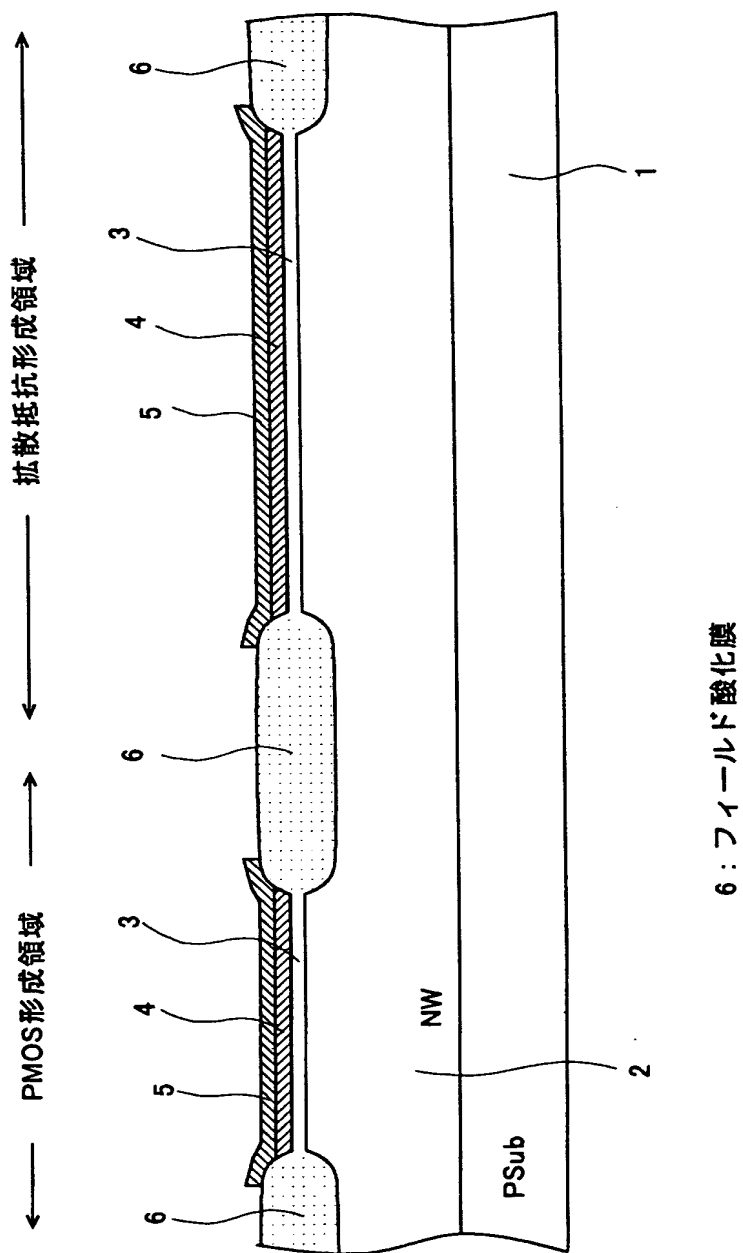
従来例に係る半導体装置の使用状態を示す断面図。

【書類名】 図面

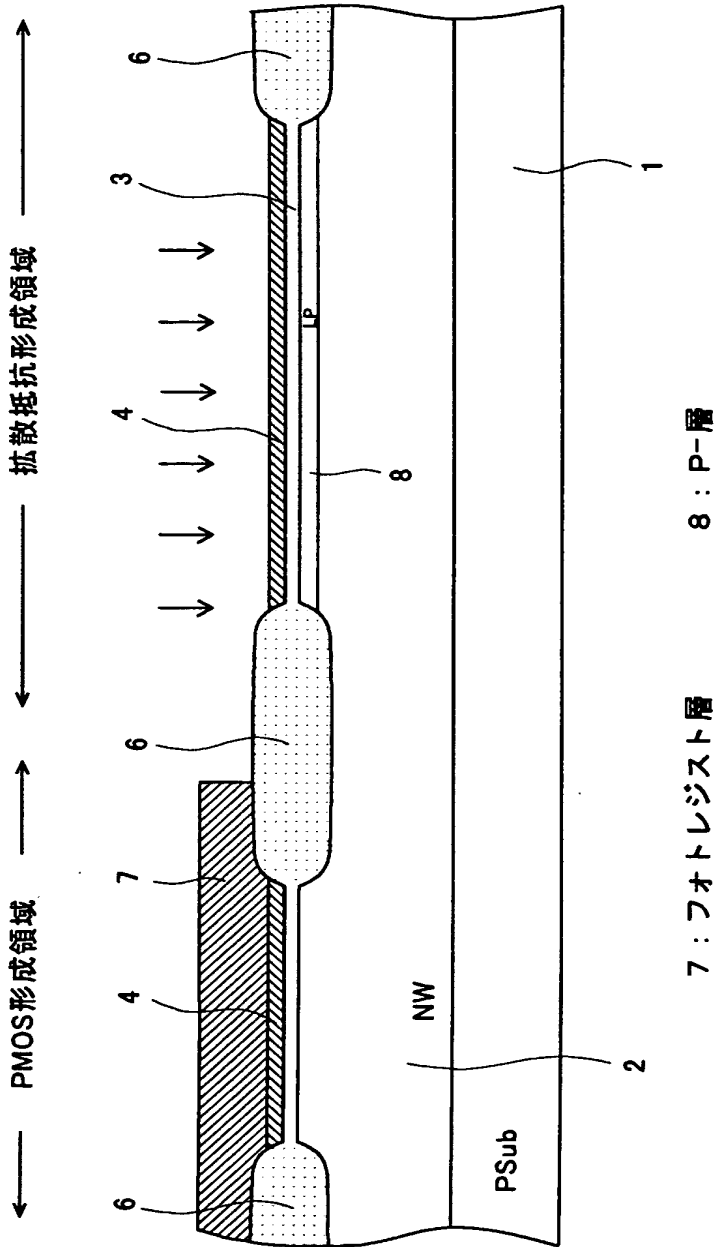
【図 1】



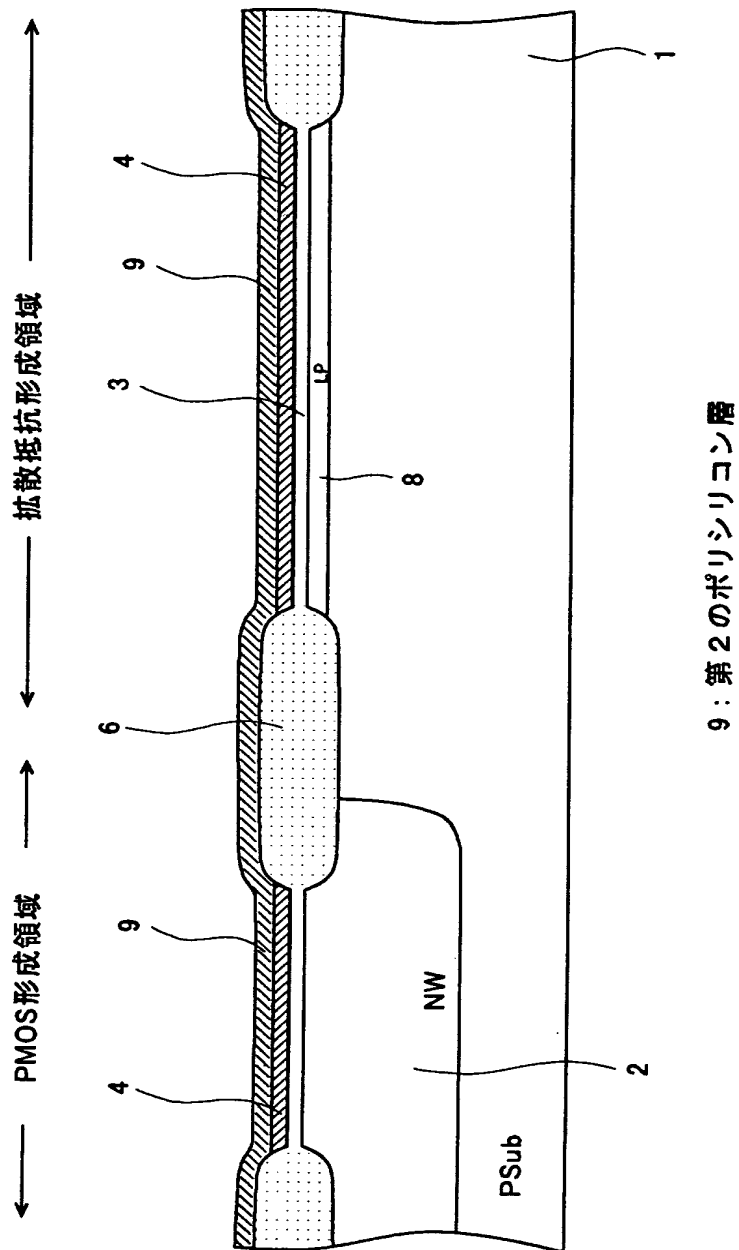
【図 2】



【図 3】

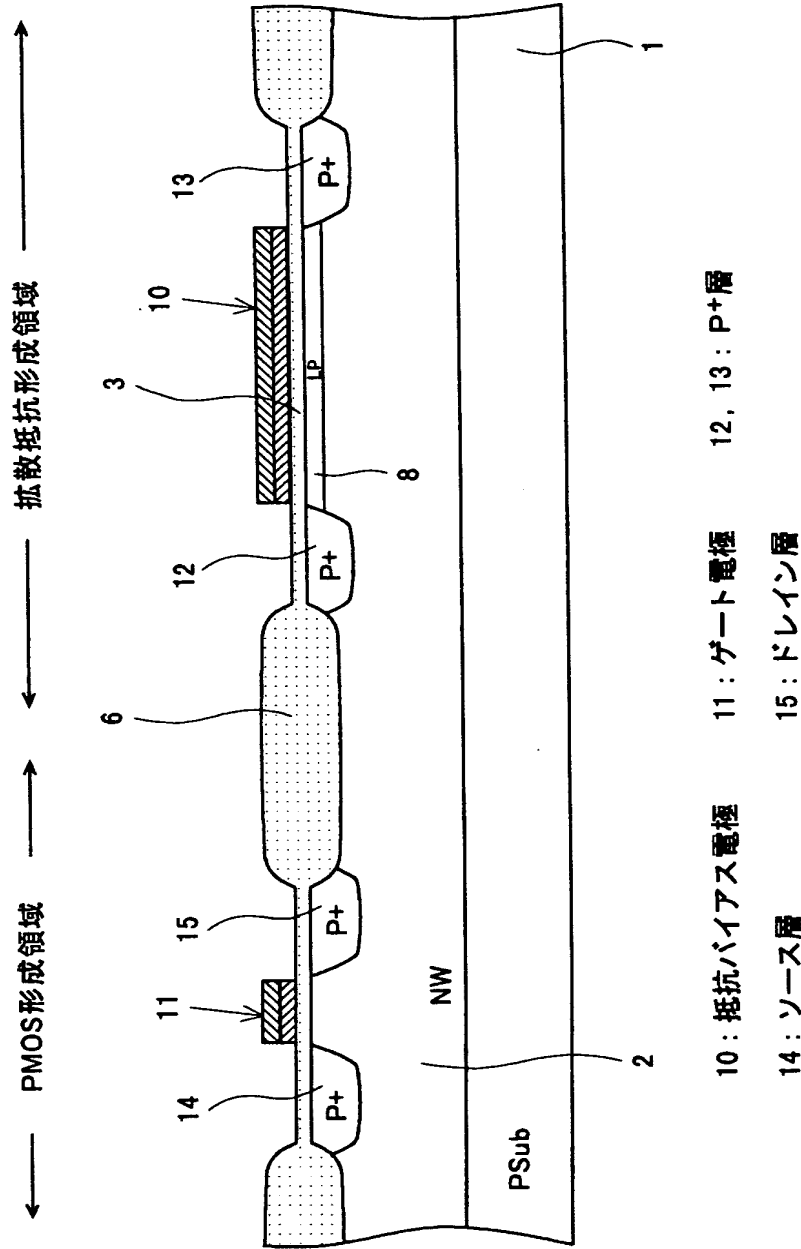


【図4】

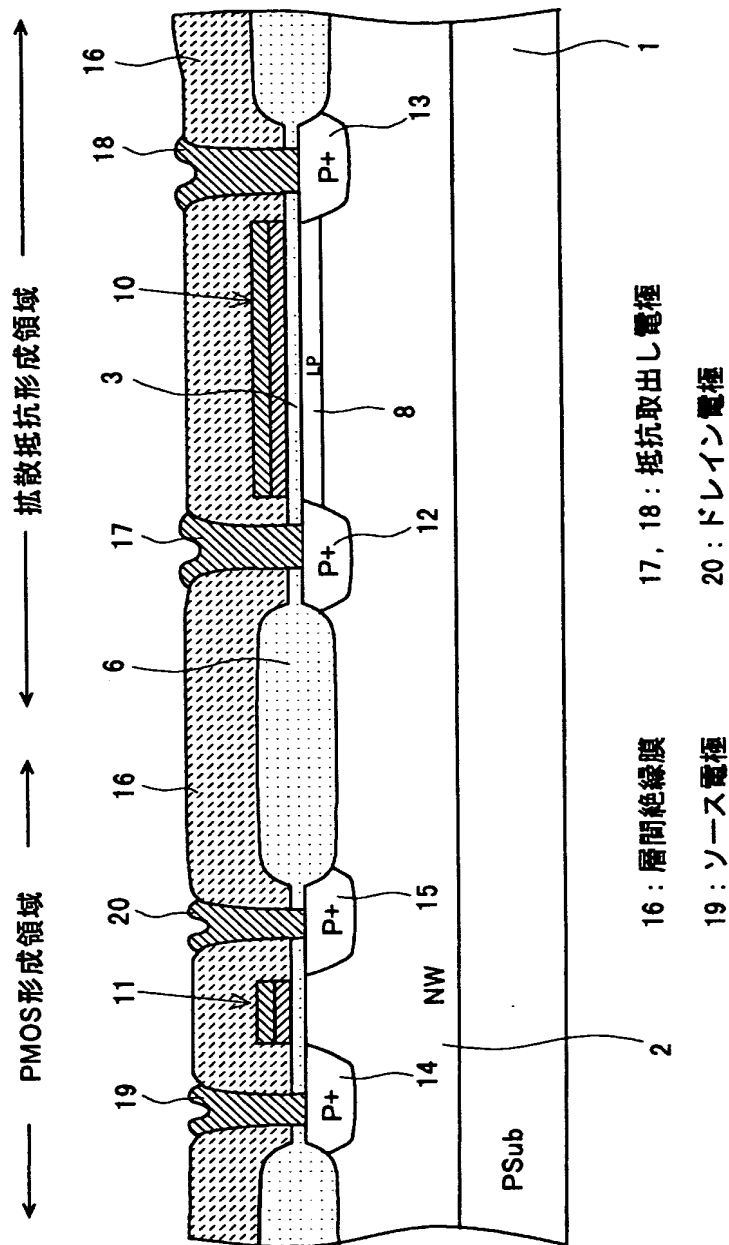


9: 第2のポリシリコン層

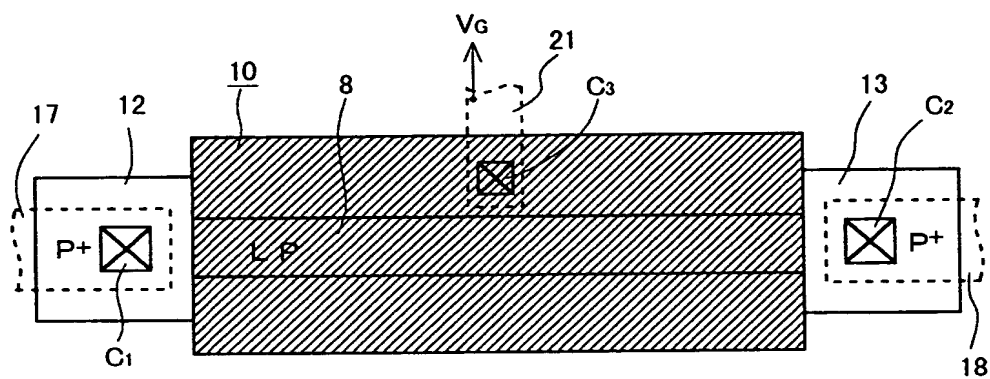
【図 5】



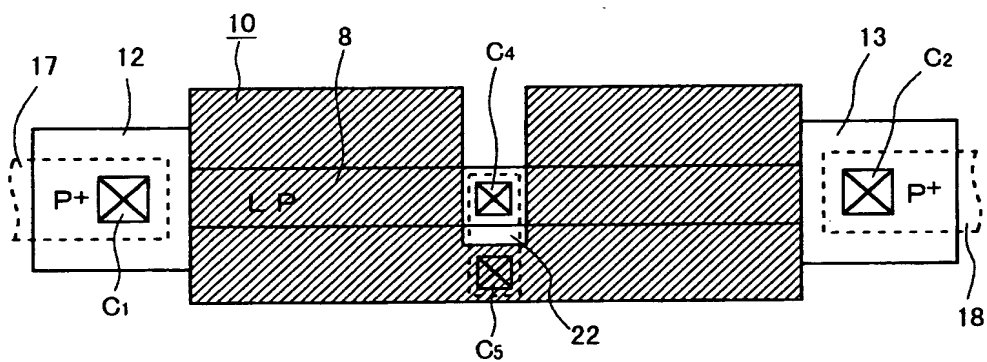
【図6】



【図 7】



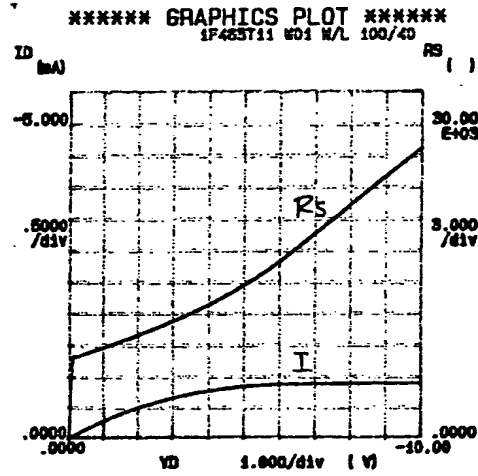
【図 8】



【図 9】

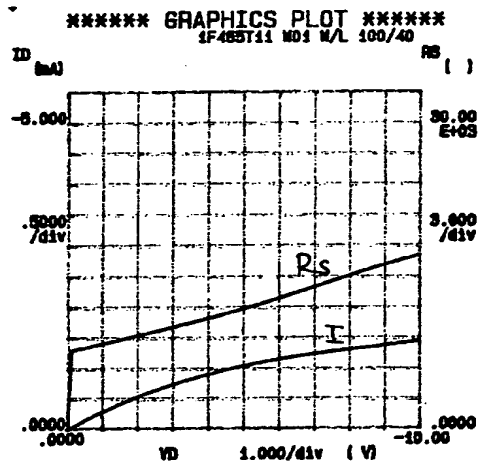
(A)

$R = 0$



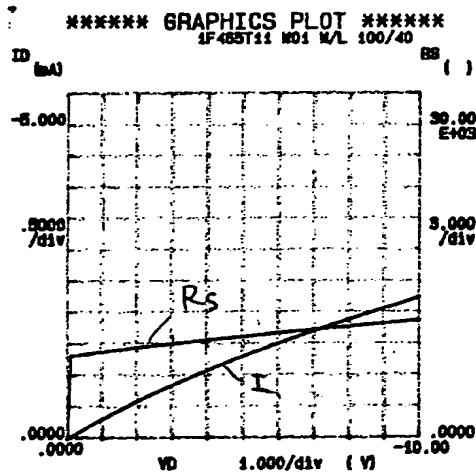
(B)

$R = 0.2$



(C)

$R = 0.4$

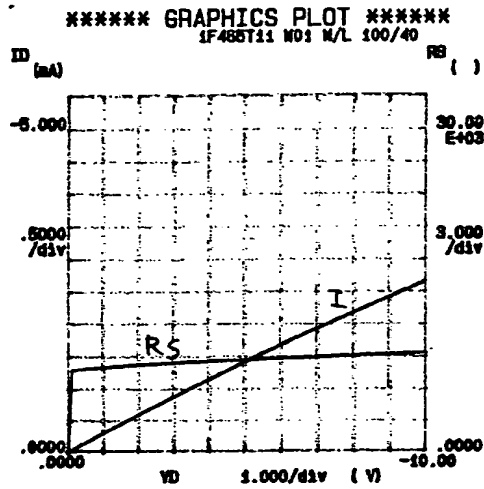


特 2 0 0 0 - 3 2 1 2 5 0

【図 1 0】

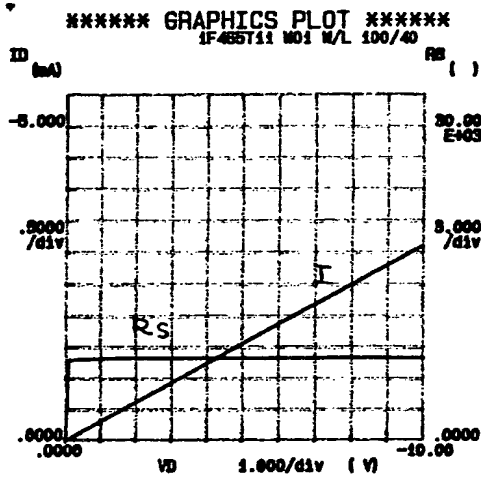
(D)

$R = 0.5$



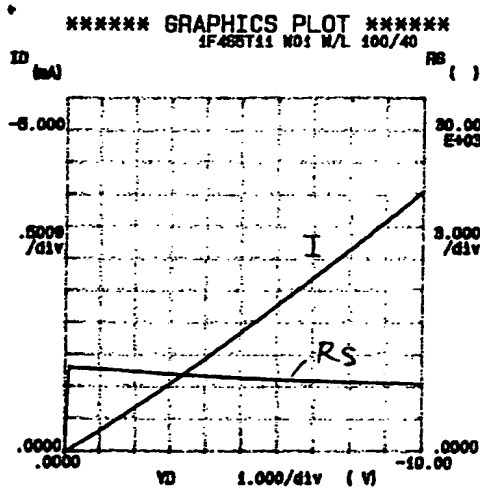
(E)

$R = 0.6$

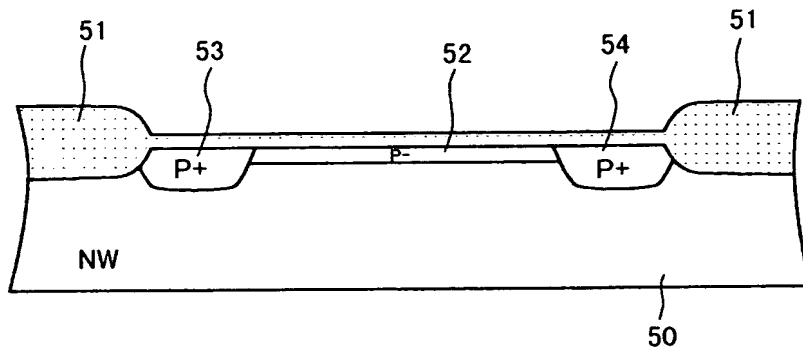


(F)

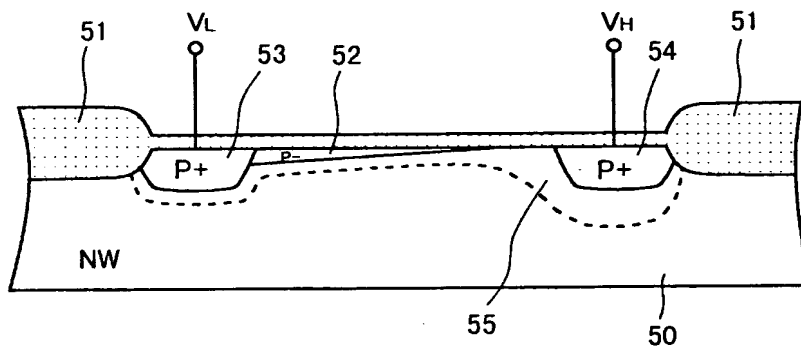
$R = 0.8$



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 抵抗層の電圧依存性を極力低減し、半導体集積回路の回路設計を容易にする。

【解決手段】 半導体基板上のNウェル領域2の表面に形成され、一端に第1の電圧 V_L が印加されると共に他端に第2の電圧 V_H が印加されるP型の抵抗層8と、抵抗層8上に形成された薄い酸化膜3と、薄い酸化膜3上に形成されたシリコン層から成る抵抗バイアス電極層10と、を備え、抵抗バイアス電極層10に印加する電圧を調整することにより抵抗層8の抵抗値の電圧依存性を低減する。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名 三洋電機株式会社